



(30) Unionspriorität:

071906/96 27.03.96 JP

(71) Anmelder:

NEC Corp., Tokio/Tokyo, JP

(74) Vertreter:

Betten & Resch, 80469 München

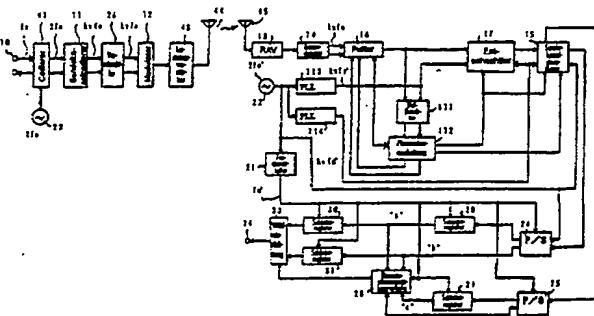
(72) Erfinder:

Todoroki, Toshiya, Tokio/Tokyo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) Verfahren und Vorrichtung für Zeitdiversity-Kommunikation

(57) In einem Zeitdiversity-Kommunikationssystem können beispielsweise aufgrund des Funkschatteneffekts ein Datenverlust oder die Erzeugung falscher Daten auftreten. Erfundungsgemäß wird auf der Sendeseite ein verflochtenes Signal erzeugt, in dem die digitale Eingangssignalsequenz mit der gleichen, jedoch um n Bits verzögerten Signalsequenz kombiniert ist, werden zu jeweils m Bits dieses Signals k Redundanzbits hinzugefügt, wird das Signal in Blöcke aus $(m + k)$ Bits unterteilt und wird ein Verschachtelungsprozeß für jeweils j Blöcke ausgeführt, zu denen je ein eindeutiges Wort hinzugefügt wird, woraufhin das Signal gesendet wird. Auf der Empfangsseite werden die eindeutigen Wörter erfaßt, wird ein Entschachtelungsprozeß ausgeführt und wird geprüft, ob Fehlersignale vorhanden sind. Dann werden die verzögerten und nicht verzögerten Signale aus den decodierten Daten separiert, wobei das gewünschte Signal in Abhängigkeit vom Zustand der Signale bei einer Wähleinrichtung ausgewählt und ausgegeben werden. Eine Übereinstimmungsbeurteilungsschaltung beurteilt die Übereinstimmung mit dem separierten Signal, das unter Verwendung von wirksamen Gattersignalen, die die Wirksamkeit oder Unwirksamkeit von decodierten Daten angeben, als wirksames Signal bestimmt worden ist, führt eine Schaltsteuerung der separierten Signale aus und überwacht die Synchronisation.



Beschreibung

Die vorliegende Erfindung bezieht sich auf das Gebiet der Zeitdiversity-Kommunikation und insbesondere auf ein Verfahren und eine Vorrichtung für Zeitdiversity-Kommunikation, mit denen die Übertragungseigenschaften im digitalen Mobilfunk, wo Verluste und Fehler in Datensequenzen durch den Funkschatteneffekt und andere Ursachen erzeugt werden, verbessert werden können.

Diversity-Kommunikationsverfahren sind auf die Verbesserung von Übertragungseigenschaften gerichtet, indem mehrere Übertragungskanäle bereitgestellt werden, zwischen denen die Fluktuationen der empfangenen Signalpegel schwach korreliert sind, und indem der Ausgang der Kanäle ausgewählt oder synthetisiert wird.

Ein Beispiel eines Zeitdiversity-Kommunikationssystems des Standes der Technik ist aus der JP 37540-A (1988) bekannt. Fig. 5 ist ein Blockschaltbild, das eine schematische Ansicht des in der obigen Anmeldung beschriebenen Zeitdiversity-Kommunikationssystems zeigt, während Fig. 2 die zeitliche Zuordnung der gesendeten und empfangenen Signale zeigt. Eine in den Anschluß 40 eingegebene Datensequenz 90 ist durch $\{a_i\}$ (wobei i eine ganze Zahl ist) repräsentiert, während eine Datensequenz 91, die vom Codierer 41 ausgegeben wird, durch $\{b_i\}$ repräsentiert ist und eine empfangene Datensequenz 92, die vom Anschluß 52 der Empfangsvorrichtung ausgegeben wird, durch $\{c_i\}$ repräsentiert ist. $\{a_i\}$ ist eine Datensequenz, die einer Taktfrequenz f_0 unterliegt, während die Taktfrequenz von $\{b_i\}$ den Wert $2f_0$ besitzt. $\{a_i\}$ wird folgendermaßen in $\{b_i\}$ codiert: Daten $\{a_i\}$, die zu geradzahligen Zeitschlitzten $\{b_{2i}\}$ eingegeben werden, werden diesen Zeitschlitzten unverändert zugewiesen, d. h. $b_{2i} = a_i$. Im Gegensatz dazu werden ungeraden Zeitschlitzten $\{b_{2i-1}\}$ Daten $\{a_{i-n}\}$ zugewiesen, die um n Bits verzögert sind, d. h. $b_{2i-1} = a_{i-n}$. Somit werden abwechselnd verzögerte und nicht verzögerte Daten übertragen (im folgenden als "verflochtene Signalell bezeichnet), wobei a_i zwei Zeitschlitzten b_2 und b_{2n+1} zugewiesen ist und in diese eingefügt ist, die um n -Bit-Intervalle getrennt sind, und wobei a_n und a_{n+1} dem Zeitschlitzt b_{2n} bzw. dem Zeitschlitzt b_{2n+2} beiderseits von b_{2n+1} zugewiesen sind.

Nun wird das in Fig. 5 gezeigte Zeitdiversity-Kommunikationssystem des Standes der Technik in groben Zügen erläutert. Das vom Eingangsanschluß 40 eingegebene Übertragungssignal 90 ($\{a_i\}$) wird zunächst im Codierer 41 in ein verflochtenes Signal 91 ($\{b_i\}$) codiert, dann in einem Modulator 42 einer Modulation wie etwa einer Phasenumtastung (PSK) unterworfen, anschließend in einem Leistungsverstärker 43 auf die erforderliche Übertragungsleistung verstärkt und schließlich von einer Sendeantenne 44 ausgegeben. Die bei einer Empfangsantenne 45 empfangenen Funkwellen werden im Empfänger 46 erfaßt und dann in eine Expandierungsschaltung 48 und in eine Taktwiedergewinnungsschaltung 47 eingegeben. Die Expandierungsschaltung 48 entnimmt aus dem verflochtenen Signal sowohl die verzögerten als auch die nicht verzögerten Daten, die den einzelnen Zeitschlitzten zugeordnet sind, und gibt sie an eine Synthesierungsschaltung 49 aus. Die Synthesierungsschaltung 49 empfängt von einer Synthesesteuerschaltung 50 einen Synthesekoeffizienten, der mit dem Empfangspegel in jedem Zeitschlitzt in Übereinstimmung ist, und gibt synthetisierte Signale aus, in denen die beiden Typen von Daten synthetisiert sind. Das syn-

thetisierte Signal wird bei einer Diskriminierungs/Beurteilungsschaltung 51 diskriminiert und beurteilt, schließlich wird am Ausgangsanschluß 52 ein demoduliertes Signal 92 ($\{c_i\}$) ausgegeben.

Fig. 3 zeigt ein Beispiel der Konstruktion des Codierers 41. Die vom Eingangsanschluß 60 eingegebenen Übertragungsdaten $\{a_i\}$ werden in eine Wähleinrichtung 62 sowohl als unveränderte Daten als auch als Daten eingegeben, die durch ein n -Bit-Schieberegister 61 geläufen sind. Das Schieberegister 61 verschiebt die Sendaten mit der Taktfrequenz f_0 , wobei die Wähleinrichtung 62 sequentiell zwischen eingegebenen Signalen mit der Taktfrequenz $2f_0$ umschaltet und die Daten als verflochtenes Signal $\{b_i\}$ vom Ausgangsanschluß 64 ausgibt.

Um schließlich die Eingangsdaten mit einem Sendetakt zu synchronisieren, wird die vom Eingangsanschluß 65 eingegebene Taktfrequenz $2f_0$ in einer Frequenzteilerschaltung 63 in zwei Hälften unterteilt, wobei der Eingangstakt f_0 zum Ausgangsanschluß 66 ausgegeben wird.

Fig. 4 zeigt ein Beispiel der Konstruktion der Expandierungsschaltung 48, der Synthesierungsschaltung 49 und der Synthesesteuerschaltung 50 von Fig. 5. Ein Empfangspegelsignal, das den vom Empfänger 46 in den Eingangsanschluß 79 der Synthesesteuerschaltung 50 eingegebenen Empfangspegel angibt, wird in eine Synthesesteuersignal-Erzeugungsschaltung 75 in Form zweier Empfangspegelsignale eingegeben, die dem verflochtenen Signal entsprechen und wovon eines das unveränderte Empfangspegelsignal ist und das andere von einer Verzögerungsschaltung 76, das ein für den n -Bit-Abschnitt der Daten geeignetes Verzögerungsintervall besitzt, verzögert ist. In Übereinstimmung mit einem im voraus gesetzten Algorithmus findet die Synthesesteuersignal-Erzeugungsschaltung 75 einen Synthesekoeffizienten gemäß dem Empfangspegel und gibt das Ergebnis als Synthesesteuersignal 81 an die Synthesierungsschaltung 49 aus. Der Empfängererfassungsausgang wird über den Empfangssignal-Eingangsanschluß 78 der Expandierungsschaltung 78 eingegeben und dann als unverändertes Signal bzw. als Signal, das durch den Durchgang durch ein n -Bit-Schieberegister um die Zeit des n -Bit-Intervalls verzögert ist, in zwei Eingangsanschlüsse einer Kombinationserfassungsschaltung 72 und der Synthesierungsschaltung 49 eingegeben.

Bei der Kombinationserfassungsschaltung 72 wird die korrekte Kombination aus geraden und ungeraden Zeitschlitzten erfaßt, ferner wird ein Rücksetzsignal, das diesen Zeitverlauf angibt, erzeugt und an eine Frequenzteilerschaltung 74 ausgegeben. Unter Verwendung dieses Rücksetzzeitverlaufs unterteilt der Frequenzteiler 74 den Wiedergewinnungstakt $2f_0$, der über den Eingangsanschluß 70 von der Taktwiedergewinnungsschaltung 47 eingegeben wird, in zwei Hälften und gibt den empfangenen Takt 82, der mit dem Synthesierungsschaltung-Ausgangssignal synchronisiert ist, in die Synthesierungsschaltung 49 und in den Ausgangsanschluß 77 ein. Die Synthesierungsschaltung 49 synthetisiert die beiden empfangenen Signale mit dem empfangenen Taktzeitverlauf auf der Grundlage des Synthesesteuersignals 81 und gibt ein Synthesierungsschaltung-Ausgangssignal 83 zum Ausgangsanschluß 80 aus. Wie aus der vorangehenden Erläuterung verständlich wird, synthetisieren die in dieser Figur gezeigten Schaltungen ein einzelnes Signal, das verflochten und in zwei Zeitschlitzten mit dem je eigenen Empfangspegel übertragen worden ist, weshalb das synthetisierte Ausgangssignal eine geringere Codierungsfehlerrate als irgendein Signal vor

der Synthese erwarten läßt.

Das obenbeschriebene Zeitdiversity-Kommunikationssystem des Standes der Technik unterscheidet den Empfangszustand von einem Empfänger auf der Grundlage des Empfangspegels und führt als Ergebnis davon eine Synthese der empfangenen Daten durch Verwenden der demodulierten Daten von Signalen mit einem höheren Empfangspegel aus. Die Korrektheit der empfangenen Daten ist jedoch nicht notwendig nur durch den Empfangspegel bestimmt, so daß eine zufriedenstellende Kommunikation selbst durch die Auswahl von Daten mit maximalem Empfangspegel nicht sichergestellt werden kann. Darüber hinaus entstehen bei einer Unterbrechung der Takt synchronisation der Taktwiedergewinnungsschaltung, beispielsweise aufgrund der Blockierung von Funkwellen durch ein Hindernis und durch das daraus resultierende Auftreten einer Bitabweichung, Probleme hinsichtlich der Stabilität der nachfolgenden Verarbeitung der decodierten Daten, bis die Synchronisation wieder hergestellt ist. Außerdem besteht während des Intervalls bis zur Wiederherstellung eines synchronisierten Zustands aus einem nicht synchronisierten Zustand das Problem des Verlusts von decodierten Daten in der Empfangsvorrichtung.

Es ist daher die Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung für eine Zeitdiversity-Kommunikation zu schaffen, mit denen die Auswahl der korrekten Daten aus verzögerten und nicht verzögerten Daten, die aus einem verflochtenen Signal separiert worden sind, durch fortwährendes Überwachen und Beurteilen der Wirksamkeit der empfangenen decodierten Daten möglich ist und eine hochzuverlässige Diversity-Kommunikation ermöglicht wird.

Es ist eine weitere Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung für eine Zeitdiversity-Kommunikation zu schaffen, die den synchronisierten Zustand von gesendeten und empfangenen Signalen mittels der Übereinstimmungsrate der obenbeschriebenen Daten, die aus einem verflochtenen Signal separiert worden sind, überwachen, eine Rückkehr in einen synchronisierten Zustand bei Vorliegen einer Nichtsynchronisation schnell ausführen und eine Synchronisationsabweichung selbst in einem synchronisierten Zustand fortwährend überwachen.

Es ist eine nochmals weitere Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung für eine Zeitdiversity-Kommunikation zu schaffen, mit denen Unterbrechungen der Takt synchronisation und eine Bitabweichung, die beispielsweise durch die Blockierung von Funkwellen aufgrund des Funkschatteneffekts hervorgerufen werden, absorbiert werden können und bei kurzen Datenunterbrechungen (Störimpulse) oder bei einer Verzerrung von Daten die Erzeugung von falschen Daten vor dem Umschalten zu den korrekten Daten verhindert werden können, wobei Verluste in den decodierten Daten auf einem niedrigen Pegel gehalten werden können.

Diese Aufgaben werden erfindungsgemäß gelöst durch ein Verfahren und eine Vorrichtung für eine Zeitdiversity-Kommunikation, die die in den entsprechenden unabhängigen Ansprüchen angegebenen Merkmale besitzen. Die abhängigen Ansprüche sind auf bevorzugte Ausführungsformen der vorliegenden Erfindung gerichtet.

Auf der Sendeseite des erfindungsgemäßen Verfahrens und der erfindungsgemäßen Vorrichtung für eine Zeitdiversity-Kommunikation erzeugt ein Codierer aus dem Eingangssignal durch Verflechten eines nicht ver-

zögerten Signals, das ein zum momentanen Zeitpunkt eingegebenes Signal ist, mit einem verzögerten Signal, das n Bits vor dem nicht verzögerten Signal eingegeben wird und um n Bits verzögert ist, ein verflochtenes Signal, außerdem codiert ein Übertragungs kanal codierer das verflochtene Signal durch Unterteilen des verflochtenen Signals in jeweils m Bits (wobei $m < n$) und addiert zu jedem Block aus m Bits k Redundanzbits.

Dann führt ein Verschachter einen Verschachtelungsprozeß für jeden Block aus $(m + k) \cdot j$ Bits einer codierten Signalsequenz aus und addiert zu jedem Block aus $(m + k) \cdot j$ Bits ein eindeutiges Wort.

Diese verschachtelte Signalsequenz wird moduliert, verstärkt und dann als Übertragungssignal mit höherer Bitrate als diejenige des Eingangssignals gesendet.

Auf der Empfängerseite wird nach der Demodulation das demodulierte empfangene Signal in einem Puffer mit dem wiedergewonnenen Takt gespeichert, außerdem liest ein Entschachter die im Puffer gespeicherten Daten mit einem vorgeschriebenen Takt aus, führt eine Entschachtelung aus und erzeugt eine Signalsequenz aus aufeinanderfolgenden $(m + k) \cdot j$ Bitblöcken mit den eindeutigen Wörtern. Parallel zu der obigen Entschachtelung erfaßt eine Phasensteuereinrichtung die eindeutigen Wörter innerhalb einer aus dem Puffer ausgelesenen Datensequenz und codiert die ausgelesene Adresse vom Puffer, wenn sie in der Phase der eindeutigen Wörter eine Disparität erfaßt. Dann verwendet ein Übertragungs kanal decodierer die Redundanzbits, um die Wirksamkeit einer entschachtelten Signalsequenz bei jeweils m Bits eines verflochtenen Signals, zu dem die Redundanzbits addiert sind, zu beurteilen, und gibt wirksame Gattersignale, die entsprechend dieser Beurteilung entweder die Wirksamkeit oder die Unwirksamkeit angeben, sowie ein decodiertes verflochtenes Signal, aus dem die Redundanzbits entfernt worden sind, aus.

Aus dem decodierten verflochtenen Signal vom Übertragungs kanal decodierer separiert ein erster Seriell/Parallel-Umsetzer das nicht verzögerte Signal, gleichzeitig separiert ein zweiter Seriell/Parallel-Umsetzer das wirksame Gattersignal, das dem nicht verzögerten Signal bzw. dem verzögerten Signal entspricht. Dann verzögern eine erste Verzögerungseinrichtung und ein zweite Verzögerungseinrichtung das separierte, nicht verzögerte Signal, bzw. das wirksame Gattersignal, das dem nicht verzögerten Signal entspricht, um n Bits.

In diesem Fall wird definiert, daß das nicht verzögerte Signal, das um n Bits verzögert worden ist, ein Signal (a) ist und das separierte verzögerte Signal ein Signal (b) ist, das wirksame Gattersignal, das um n Bits verzögert worden ist, ein Signal (c) ist, und das wirksame Gattersignal, das diesem Signal (b) entspricht, ein Signal (d) ist, darüber hinaus wird ein Zustand, in dem das Signal (a) und das Signal (b) ununterbrochen übereinstimmen, als synchronisierter Zustand angesehen.

Dann verleiht eine dritte Verzögerungseinrichtung dem von der ersten Verzögerungseinrichtung ausgegebenen Signal (a) eine Verzögerung um eine vorgeschriebene Anzahl von Bits, ferner verleiht eine vierte Verzögerungseinrichtung dem vom ersten Seriell/Parallel-Umsetzer separierten Signal (b) eine Verzögerung um eine vorgeschriebene Anzahl von Bits, woraufhin eine Wählereinrichtung entweder das von der dritten Verzögerungseinrichtung ausgegebene Ausgangssignal (a) oder das von der vierten Verzögerungseinrichtung ausgegebene Signal (b) ausgewählt und das ausgewählte Signal als demoduliertes Signal ausgibt.

Für die obige Auswahl des demodulierten Signals durch die Auswahlseinrichtung gibt eine Übereinstimmungsbeurteilungsschaltung ein nicht verzögertes Signal (a), ein verzögertes Signal (b), ein wirksames Gattersignal (c) und ein wirksames Gattersignal (d) aus; überwacht auf der Grundlage der Zustände der Signale (c, d), ob die Signale (a, b) wirksam oder unwirksam sind; erfaßt, ob das Signal (b) mit dem Signal (a) übereinstimmt, wenn beide Signale als wirksam bestimmt worden sind; beurteilt den synchronisierten Zustand oder den nicht synchronisierten Zustand der zwei Signale (a, b) auf der Grundlage der Tatsache, ob die Anzahl der ununterbrochenen Übereinstimmungen eine vorgeschriebene Anzahl übersteigt oder nicht erreicht; und gibt an die Wähleinrichtung auf der Grundlage der Beurteilungsergebnisse Auswahlbefehle aus.

Weitere Merkmale und Vorteile der Erfindung werden deutlich beim Lesen der folgenden Beschreibung einer bevorzugten Ausführungsform, die auf die beigefügten Zeichnungen Bezug nimmt; es zeigen:

Fig. 1 ein Blockschaltbild, das die Konstruktion einer Ausführungsform der erfundungsgemäßen Vorrichtung für eine Zeitdiversity-Kommunikation zeigt;

Fig. 2 den bereits erwähnten Aufbau der Zeitschlitz-Zuordnung der gesendeten und empfangenen Signale in einem in Fig. 5 gezeigten Beispiel des Standes der Technik;

Fig. 3 das bereits erwähnte Blockschaltbild der Konstruktion des Codierers von Fig. 5;

Fig. 4 das bereits erwähnte Blockschaltbild der Konstruktion der Expandierungsschaltung, der Synthesesteuerschaltung sowie der Synthesierungsschaltung, die in Fig. 5 gezeigt sind;

Fig. 5 das bereits erwähnte Blockschaltbild der Konstruktion der Vorrichtung für eine Zeitdiversity-Kommunikation des Standes der Technik;

Fig. 6(a) eine für einen Übertragungskanal codierte Datensequenz;

Fig. 6(b) das Verfahren der Verschachtelung;

Fig. 6(c) eine verschachtelte Ausgangsdatensequenz;

Fig. 6(d) eine decodierte Datensequenz und ein entsprechendes wirksames Gattersignal;

Fig. 7 ein Blockschaltbild der Konstruktion der Phasensteuerschaltung gemäß der vorliegenden Ausführungsform;

Fig. 8 ein Blockschaltbild der Konstruktion eines Puffers in der vorliegenden Ausführungsform;

Fig. 9 ein Blockschaltbild eines Beispiels der Konstruktion einer Übereinstimmungsbeurteilungsschaltung der vorliegenden Ausführungsform;

Fig. 10 den Raum der Phasendifferenzmessung durch die in Fig. 7 gezeigte Phasendifferenzmeßvorrichtung;

Fig. 11 eine Datensequenz in einem Schieberegister 20 in Fig. 1; und

Fig. 12 ein Ablaufdiagramm der Schaltoperation der Wähleinrichtung 33 in Fig. 1.

Fig. 1 ist ein Blockschaltbild, das die Konstruktion einer Ausführungsform einer Kommunikationsvorrichtung zeigt, mit der das Verfahren für eine Zeitdiversity-Kommunikation ausgeführt wird. Die Erläuterung der zeitlichen Zuordnung der gesendeten und empfangenen Signale gemäß der vorliegenden Ausführungsform wird in Verbindung mit einem Beispiel gegeben, das jenem des obenbeschriebenen Standes der Technik ähnlich ist.

Die Codierung eines Sendesignals stimmt mit dem in Fig. 2 beschriebenen Beispiel völlig überein, ferner kann die Konstruktion des Codierers 41, der für die Ausführung dieser Codierung verwendet wird, zu derjenigen

des in Fig. 3 gezeigten Codierers 41 äquivalent sein.

Zunächst werden die Konstruktion und die Operation der in Fig. 1 gezeigten sendeseitigen Vorrichtung angegeben. Ein vom Eingangsanschluß 10 eingegebenes Sendesignal wird zunächst in einem Codierer 41 auf der Grundlage eines Oszillationssignals von einem Oszillator 23 codiert und dann in einen Übertragungskanalcodierer 11 eingegeben. Das obenbeschriebene verflochtene Signal $\{b_i\}$ wird beim Übertragungskanalcodierer 11 durch Unterteilen nach jeweils m Bits (wobei $m < n$), durch Addieren von k Redundanzbits $\{p_i\}$ nach jeweils m Bits wie in Fig. 6(a) gezeigt und durch Eingeben in einen Verschachtler 26 codiert. In jedem dieser Blöcke aus $(m + k)$ Bits ist das führende Bit ein nicht verzögertes Bit, wobei die Codierung in der Weise voranschreitet, daß in $(m + k)$ Bits eine ganzzahlige Anzahl von Mengen aus einem nicht verzögerten Bit und einem verzögerten Bit enthalten ist. Wie in Fig. 6(b) gezeigt, werden die Blöcke aus $(m + k)$ Bits, die beim Übertragungskanalcodierer 11 codiert werden, beim Verschachtler 26 auf Mengen aus i Blöcken ausgerichtet, wobei die Bitsequenzen wie in Fig. 6(c) gezeigt verschachtelt sind und wobei Sequenzen mit einem jedem verschachtelten Block hinzugefügten eindeutigen Wort (UW) ausgegeben werden.

Der Ausgang des Verschachtlers 26 erfährt beispielsweise beim Modulator 12 eine PSK-Modulation, wird auf die geforderte Sendeleistung beim Leistungsverstärker 43 verstärkt und wird schließlich von der Sendeantenne 44 ausgesendet.

Nun werden die Konstruktion und die Operation der Vorrichtung auf der Empfangsseite beschrieben. Die an der Empfangsantenne 45 empfangenen modulierten Wellen werden bei einem rauscharmen Verstärker 13 verstärkt und bei einem Demodulator 14 demoduliert. Der beim Demodulator 14 wiedergewonnene Takt $k_2 f_0$ wird dazu verwendet, die demodulierte Datensequenz im Puffer 16 zu speichern. Ein Entschachtler 17 liest die im Puffer 16 gespeicherten Daten mit dem Takt $k_2 f_0$ (f_0 ist angenähert gleich f_0), der von einer PLL-Schaltung 113 aus der Oszillationsfrequenz $2f_0$ des Oszillators 22 erzeugt wird, aus. Um die Entschachtelung korrekt auszuführen, erfaßt ein UW-Detektor 111 die eindeutigen Wörter UW, die der aus dem Puffer 16 ausgelesenen Datensequenz nach jeweils $(m + k) \cdot j$ Bits hinzugefügt sind. Der UW-Detektor 111 hat ferner die Funktion, die Erzeugung einer auf dem eindeutigen Wort basierenden Synchronisation durch r -faches Erfassen ($r \geq 2$) der aufeinanderfolgenden Muster eindeutiger Wörter, die in jedem Zyklus eines eindeutigen Worts auftreten, zu erkennen und nach der Herstellung der Synchronisation den Verlust der Synchronisation auf das eindeutige Wort zu erkennen, wenn Muster aus eindeutigen Wörtern nicht in der Anzahl s nacheinander erfaßt werden können ($s \geq 2$). Wenn der UW-Detektor 111 die Synchronisation auf ein eindeutiges Wort feststellt, gibt er ein UW-Positionsimpulssignal 1 in jedem Zyklus für eindeutige Wörter sowie ein UW-Synchronisationssignal an die Phasensteuerschaltung 112 aus.

Fig. 7 zeigt die interne Konstruktion der Phasensteuerschaltung 112. Der UW-Zyklus-Zähler 124 führt eine Zählung aus, wenn das UW-Synchronisationssignal die Synchronisation auf das eindeutige Wort zeigt, und gibt ein UW-Positionsimpulssignal 2 aus. Wenn das UW-Synchronisationssignal die Synchronisation auf das eindeutige Wort verliert, erkennt die Phasensynchronisation-Beurteilungsschaltung 125 das Auftreten einer Divergenz zwischen dem UW-Impulspositionssignal 1 und dem UW-Positionsimpulssignal 2, meldet der äußeren

Umgebung mittels eines Phasensynchronisationssignals die "Nichtsynchronisation" und wartet, bis die Synchronisation auf das eindeutige Wort wieder hergestellt wird. Wenn die Synchronisation auf das eindeutige Wort eventuell wieder erzeugt wird, mißt eine Phasendifferenzschablone 126 den Grad, um den das UW-Positionsimpulssignal 1 voreilt oder nacheilt, wobei es das UW-Positionsimpulssignal 2 als Referenz verwendet, wie in Fig. 10(a) gezeigt ist, und gibt den kleineren Wert von beiden als Phaseninformation aus (Ausgabe des Werts der Phasendifferenz 1 in dem in Fig. 10(a) gezeigten Fall). Gleichzeitig gibt die Phasendifferenzschablone 26 die Phaseninformationen aus, ändert die Phasensynchronisation-Beurteilungsschaltung 125 das Phasensynchronisationssignal von der nicht erfolgten Synchronisation auf das eindeutige Wort zur Synchronisation auf das eindeutige Wort und gibt darüber hinaus ein Ladesignal genau einmal aus, wenn das Phasensynchronisationssignal "synchronisiert" ist.

Fig. 8 zeigt die interne Konstruktion des Puffers 16. Das vom Demodulator 14 empfangene Demodulationsignal wird in einem Speicher 121 mittels eines Schreibadressenzählers 120 mit dem wiedergewonnenen Takt $k_2 f_0$ gespeichert. Die Phaseninformationen und das Ladesignal, die von der Phasensteuerschaltung 112 ausgetragen werden, werden ebenfalls in den Puffer 16 eingegeben. Der momentane Adressenwert des Leseadressenzählers 122 und die Phaseninformationen werden in einem Addierer 123 addiert, wobei das Rechenergebnis durch ein Ladesignal in einen Leseadressenzähler 122 gespeichert wird. Anhand dieser Operation wird eine Synchronisation auf ein eindeutiges Wort, sobald sie in eine Nichtsynchronisation auf ein eindeutiges Wort eingetreten ist, erneut zu einer Synchronisation auf ein eindeutiges Wort. Die Phasensynchronisation-Beurteilungsschaltung 125 erkennt, daß das UW-Positionsimpulssignal 1 mit dem UW-Positionsimpulssignal 2 übereinstimmt (der in Fig. 10(b) gezeigte Zustand), und meldet, daß das Phasensynchronisationssignal synchronisiert ist.

Der Entschachtlter 17 führt auf der Grundlage des UW-Positionsimpulssignals 2 eine der Verschachtelung entgegengesetzte Operation aus, um die in Fig. 6(a) gezeigte Sequenz zu erhalten. Der Übertragungskanaldecodierer 15 führt eine Fehlerkorrektur mit Bezug auf die Ausgangsdatensequenz des Entschachtlters 17 unter Verwendung der obenbeschriebenen Redundanzbits aus und gibt zusätzlich zu den decodierten Daten bei jeweils m Bits im Prozeß der Fehlerkorrektur ein Wirk-sam/Unwirksam-Beurteilungssignal aus, anhand dessen festgestellt wird, ob die Daten korrekt sind oder nicht (im folgenden als wirksames "Gattersignal" bezeichnet), wie in Fig. 6(d) gezeigt ist. Das Unterteilen der Ausgangsdatensequenz vom Entschachtlter 17 nach jeweils $(m + k)$ Bits wird auf der Grundlage des Zeitverlaufs des UW-Positionsimpulssignals 2 ausgeführt. Der Übertragungskanaldecodierer 15 beseitigt die Redundanzbits aus den eingegebenen Daten mit dem Takt $k_1 f_0'$ und gibt mit einer Datengeschwindigkeit mit dem Takt $2f_0'$ (wobei $2f_0' < k_1 f_0'$) aus. Der Takt $k_1 f_0'$ wird von der PLL-Schaltung 114 aus der Oszillationsfrequenz $2f_0$ des Oszillators 22 erzeugt.

Die vom Übertragungskanaldecodierer 15 ausgegebenen decodierten Daten werden durch einen Seriell/Parallel-Umsetzer 24 unter Verwendung des Zeitverlaufs der Separierung von k Redundanzbits von m Informationsbits, die vom Übertragungskanaldecodierer 15 für jeden Block aus m Bits, aus dem k Redundanzbits

entfernt worden sind, erzeugt werden, mit einer Datengeschwindigkeit des Takts $2f_0'$ in eine nicht verzögerte Bitsequenz und in eine verzögerte Bitsequenz separiert. Da das erste Bit von m Bits als an das Schieberegister 5 mit dem Takt f_0' ausgegeben angesehen wird, wird die Datensequenz b aus verzögerten Bits ebenfalls mit dem Takt f_0' an ein Schieberegister 31 ausgegeben, wobei sich der Takt f_0' durch Frequenzteilung aus $2f_0'$ ergibt. Weiterhin werden die wirksamen Gattersignale, die den 10 Ausgang des Übertragungskanaldecodierers 15 bilden, durch den Seriell/Parallel-Umsetzer 25 mit dem Takt f_0' in der Weise separiert, daß das wirksame Gattersignal c , das der nicht verzögerten Datensequenz a entspricht, der Eingang für das Schieberegister 21 wird, während 15 das wirksame Gattersignal d , das der verzögerten Datensequenz b entspricht, der Eingang für die Übereinstimmungsbeurteilungsschaltung 28 wird.

Die Schieberegister 30 und 31 verleihen den Datensequenzen in einem Prozeß, durch den die nicht verzögerte 20 Datensequenz a vom Schieberegister 20 und die verzögerte Datensequenz b vom Seriell/Parallel-Umsetzer 24 jeweils mit dem Takt f_0' eingegeben werden, eine β -Bit-Verzögerung (die später beschrieben wird), wobei die obenbeschriebenen nicht verzögerten Daten a und 25 die verzögerten Daten b innerhalb der decodierten Daten jeweils um genau β Bits verzögert werden und dann an die Wählleinrichtung 33 geschickt werden. Die Wählleinrichtung 33 schaltet in der Weise, daß sie entweder Daten a oder b , die von den Schieberegistern 30 bzw. 31 30 ausgegeben werden, auswählt, und schickt zurückgespeicherte, demodulierte Ausgangsdaten wie etwa die Signalsequenz $\{c\}$ 92 von Fig. 2 zum Ausgangsanschluß 34.

Von den nicht verzögerten Daten und von den verzögerten Daten, die den Ausgang des Seriell/Parallel-Umsetzers 24 in der obenbeschriebenen Konstruktion bilden, werden Daten des nicht verzögerten Anteils durch das Schieberegister 20 um n Bits verzögert, mit dem Ergebnis, daß die Ausgangsdaten a vom Seriell/Parallel-Umsetzer 24, die durch das Schieberegister 20 laufen, mit den anderen Ausgangsdaten b des Seriell/Parallel-Umsetzers 24 vollkommen übereinstimmen sollten (diese Bitmenge wird mit (a, b) bezeichnet). Die Ausgangsdaten a des Schieberegisters 20 und die anderen Ausgangsdaten b des Seriell/Parallel-Umsetzers 24 entsprechen jeweils dem wirksamen Gattersignal c vom Seriell/Parallel-Umsetzer 25, das über das Schieberegister 21 läuft, bzw. dem anderen wirksamen Gattersignal d (diese Signale werden mit (c, d) geschrieben), wobei "c" und "d" die Wirk-samkeit/Unwirksamkeit von "a" bzw. "b" angeben. Somit gibt "c" an, ob das vom Übertragungskanaldecodierer 15 decodierte Bit "a" korrekt ist oder nicht, während "d" angibt, ob das decodierte Bit "b" korrekt ist oder nicht.

Falls die Übereinstimmungsbeurteilungsschaltung 28 eine "Synchronisation" feststellt, stimmen die Daten a und die Daten b miteinander überein. Wie aus den Daten b hervorgeht, sind die Daten a gleich den Daten n Bits vorher, wobei die Daten, die $n - 1$ Bits nach den Daten a folgen, im Schieberegister 20 gespeichert werden. Im Ergebnis wird bei Feststellung einer "Synchronisation" die Wählleinrichtung 33 dazu veranlaßt, das Signal der über das Schieberegister 31 ausgegebenen Daten b auszuwählen und auszugeben. Wenn in den Daten beispielsweise aufgrund eines Funkschatteneffekts Störimpulse auftreten und in den Daten (b) Anomalien auftreten, wird die Anomalie anhand des wirksamen Gattersignals d beurteilt, wobei die Wählleinrichtung in

der Weise geschaltet wird, daß das Signal auf Seiten der korrekten, völlig gleichen Daten a ausgegeben wird, wodurch Verluste von Daten aufgrund des Funkschatteneffekts vermieden werden. Wenn die nachfolgende Rückkehr zu normalen Daten b mittels eines wirksamen Gattersignals d erfaßt wird, schaltet die Wähleinrichtung wieder zum Signal auf Seiten der Daten b um.

Die vorangehende Erläuterung gibt die allgemeinen Prinzipien an, mit denen diese Ausführungsform die Zeitdiversity verwirklicht. Diese Steuerung wird durch die Übereinstimmungsbeurteilungsschaltung 28 ausgeführt, wobei Fig. 9 ein Blockschaltbild ist, das ein konkretes Beispiel dieser Schaltung zeigt. Die Übereinstimmungsbeurteilungsschaltung 28 ist aus einer EX-NOR-Schaltung 60, einem Übereinstimmungszähler 61, einem Zeitgeber 62, einer Synchronisationsbeurteilungsschaltung 63 und einer Steuerschaltung 64 aufgebaut. Weiterhin kann der Status der wirksamen Gattersignale (c, d) und die Übereinstimmung von Datenbitmengen (a, b) für die Bestimmung verwendet werden, ob decodierte Daten normal (wirksam/unwirksam) sind und ob Datensequenzen a und b eine "Synchronisation" angeben, so daß folglich diese Signale eingegeben werden und ein Signal ausgegeben wird, das von der Wähleinrichtung 33 verwendet wird. Die Beurteilung einer "Synchronisation" durch die Übereinstimmungsbeurteilungsschaltung 28 wird durch Überwachen der Übereinstimmung zwischen den beiden Typen von Daten auf der Grundlage des Ausgangs der EX-NOR-Schaltung 60 erzielt, die die Daten a und die Daten b als Eingänge hat. Die Steuerschaltung 64 erzeugt in festen Intervallen einen Startimpuls für die Synchronisationsbeurteilung und veranlaßt den Start des Zeitgebers 62. Gleichzeitig wird die Anzahl von Übereinstimmungen zwischen den Daten "a" und den Daten "b" durch den Übereinstimmungszähler 61 gezählt. Wenn der Zeitgeber 62 nach einem gesetzten Zeitintervall einen Zählbeendigungsimpuls ausgibt, gibt der Übereinstimmungszähler 61 die Anzahl von Übereinstimmungen, die bis zu diesem Zeitpunkt gezählt worden sind (den Zählerwert), an die Synchronisationsbeurteilungsschaltung 63 aus.

In der Synchronisationsbeurteilungsschaltung 63 wird ein vorgegebener Zählerwert gesetzt, wobei diese Schaltung die obenbeschriebene Anzahl von Übereinstimmungen mit diesem Zählerwert vergleicht, das Vorhandensein eines synchronisierten Zustandes feststellt, wenn die Anzahl von Übereinstimmungen wenigstens gleich dem im voraus gesetzten Zählerwert ist, und ein Synchronisationssignal an die Steuerschaltung 64 sendet. Weiterhin läßt die Synchronisationsbeurteilungsschaltung 63 die Änderung des obenbeschriebenen, gesetzten Zählerwerts zu, um Änderungen von einem "synchronisierten" Zustand zu einem "nicht synchronisierten" Zustand zu erfassen und um Änderungen von einem "nicht synchronisierten" Zustand zu einem "synchronisierten" Zustand zu erfassen, wobei die Bedingungen für die Erfassung von Änderungen von einem nicht synchronisierten Zustand zu einem synchronisierten Zustand normalerweise durch Erhöhen des gesetzten Zählerwerts strenger sind. (Wenn Änderungen vom nicht synchronisierten Zustand zum synchronisierten Zustand festgestellt werden, ist der gesetzte Wert "Bedingung 1", wenn hingegen Änderungen von einem synchronisierten Zustand zu einem nicht synchronisierten Zustand festgestellt werden, ist der gesetzte Wert "Bedingung 2".)

Weiterhin überwacht die Steuerschaltung 64 fortwährend auf der Grundlage des Zustands der wirksamen

Gattersignale (c, d), ob Daten "a" und "b" wirksam oder unwirksam sind, und steuert sowohl die Operation als auch die Nicht-Operation der obenbeschriebenen Synchronisationsbeurteilungsschaltung 63 und das Schalten der Wähleinrichtung 33. Wenn ein wirksames Gattersignal c = "unwirksam" eingegeben wird, hält die Steuerschaltung 64 die Beurteilungsoperation der Synchronisationsbeurteilungsschaltung 63 unabhängig davon an, ob das wirksame Gattersignal d wirksam oder unwirksam ist. Ferner aktiviert die Steuerschaltung 64 die Synchronisationsbeurteilungsoperation der Synchronisationsbeurteilungsschaltung 63, wenn (c, d) = (wirksam, wirksam) ist, und gibt ein Wählsignal aus, um die Auswahl der Daten b zu veranlassen, wenn der Übereinstimmungsgrad zwischen den Daten a und den Daten b wenigstens gleich der Bedingung 1 ist.

Im folgenden wird die Operation der Übereinstimmungsbeurteilungsschaltung 28 für die folgenden Fälle erläutert:

- 20 (1) Fall, in dem sich ein nicht synchronisierten Zustand in einen synchronisierten Zustand ändert, etwa bei der Initialisierung, wenn die Operation der Empfangsvorrichtung beginnt, oder in einem Zustand, der einem langanhaltenden Funkschatteneffekt folgt ("nicht synchronisiert — synchronisiert");
 25 (2) Fall, in dem eine Empfangsvorrichtung, die normal arbeitet, infolge eines Funkschatteneffekts in einen kurz andauernden Zustand mit Datenverlust eintritt und dann vom nicht synchronisierten Zustand wieder in einen synchronisierten Zustand wechselt ("synchronisiert — nicht synchronisiert — synchronisiert").

30 35 (1) "nicht synchronisiert — synchronisiert"

Da das Schieberegister 20 im Anfangszustand einer Vorrichtung oder nach einem langanhaltenden Funkschatteneffekt nicht mit einer korrekten Datensequenz gefüllt ist, setzt die Übereinstimmungsbeurteilungsschaltung 28 vorübergehend die Wähleinrichtung in der Weise, daß der Ausgang des Schieberegisters 31 zum Ausgangsanschluß 34 geschickt wird. Gleicher gilt für das Schieberegister 21, in das wirksame Gattersignale eingegeben werden, wobei die Steuerschaltung 64 die Beurteilungsoperation der Synchronisationsbeurteilungsschaltung 63 anhält, bis (c, d) = (wirksam, wirksam). Wenn (c, d) = (wirksam, wirksam) ist, startet die Steuerschaltung 64 die Synchronisationsbeurteilungsoperation der Synchronisationsbeurteilungsschaltung 63 und wartet auf die Synchronisation. In diesem Fall wird die Synchronisationsbeurteilung durch Beobachten der Übereinstimmung von Datensequenzen (a, b) unter Verwendung der Bedingung 1 ausgeführt. Die Übereinstimmungsbeurteilungsschaltung 28 steuert die Wähleinrichtung 33 in der Weise, daß der Ausgang des Schieberegisters 31 zum Ausgangsanschluß 34 geschickt wird, weshalb normale Daten b ausgegeben werden, sobald der synchronisierte Zustand erreicht ist. Sobald die Synchronisation hergestellt ist, wird die Überwachung der Übereinstimmung unter Verwendung der Bedingung 2 fortgesetzt, um festzustellen, ob eine Nichtsynchronisation auftritt.

50 55 60 65 (2) "synchronisiert — nicht synchronisiert — synchronisiert"

Die Wähleinrichtung arbeitet in der Weise, daß Aus-

gangsdaten "b" des Schieberegisters 31 zum Ausgangsanschluß 34 während eines Intervalls geschickt werden, in dem die Übereinstimmungsbeurteilungsschaltung 28 feststellt, daß eine Synchronisation vorliegt, wie oben beschrieben worden ist, wobei in diesem Fall die Synchronisationsbeurteilungsschaltung 63 auf der Grundlage der Bedingung 2 überwacht, ob eine Nichtsynchronisation auftritt. Wenn beispielsweise aufgrund eines Funkschatteneffekts ein Datenverlust auftritt, wird die Nichtsynchronisation nach Ablauf eines gesetzten Zeitintervalls (nach einem Intervall von β Bits) festgestellt, wobei ein die Nichtsynchronisation angebendes Signal an die Steuerschaltung 64 geschickt wird. Folglich verwendet die Steuerschaltung 64 ein Auswahlsignal, um die Wähleinrichtung 33 dazu zu veranlassen, den Ausgang zum normalen Signal "a" vom Schieberegister 30 umzuschalten. Gleichzeitig verwendet die Steuerschaltung 64 einen eingebauten Zähler, um die Anzahl von Bits (Anzahl von Taktimpulsen) von Daten (eines Signals "a" oder des Ausgangs des Schieberegisters 20) zu zählen, bis die Synchronisation wiederhergestellt ist. Hierbei besteht die Rolle der Schieberegister 30 und 31 darin, die Ausgabe von fehlerhaften Daten von der Wähleinrichtung 33 während der Zeitspanne zu verhindern, in der die Nichtsynchronisation noch nicht auf der Grundlage der Bedingung 2 festgestellt worden ist (in dem Zeitintervall, das β Bits des f_0' -Takts entspricht, wie im folgenden beschrieben wird).

Die Steuerschaltung 64 hält die Beurteilungsoperation der Synchronisationsbeurteilungsschaltung 63 an, bis $(c, d) = (\text{wirksam}, \text{wirksam})$ ist, d. h. bis die empfangenen Daten wirksam werden, und startet die Beurteilungsoperation, wenn $(c, d) = (\text{wirksam}, \text{wirksam})$ ist. Die Steuerschaltung 64 prüft das Synchronisationssignal von der Synchronisationsbeurteilungsschaltung 63 nach jedem Zeitgeber-Meßintervall und sendet erneut einen Startimpuls zum Zeitgeber 62 und zum Übereinstimmungszähler 61, um die Synchronisationsbeurteilung wieder aufzunehmen, wenn das Synchronisationssignal in einen nicht synchronisierten Zustand übergeht. Diese Operation wird nacheinander wiederholt, bis die Synchronisation wiederhergestellt ist.

Nachdem der obenbeschriebene eingebaute Zähler wieder mit dem Zählen beginnt und wenn mittels des Synchronisationssignals von der Synchronisationsbeurteilungsschaltung 63 bestätigt wird, daß die Synchronisation beim μ -ten Bit (wobei $n > \mu$) hergestellt ist, ist der Status der Daten im Schieberegister 20 wie in Fig. 11 gezeigt. In dieser Figur entsprechen β Bits, beginnend an der rechten Seite des Schieberegisters 20, der Zeit, die für die Erfassung der Synchronisation erforderlich ist, während die β Bits in der Mitte derjenigen Zeit entsprechen, die für die Erfassung der Nichtsynchronisation erforderlich ist. (Diese Erfassungszeiten unterscheiden sich gewöhnlich aufgrund von Faktoren wie etwa der verschiedenen Werte, die für die obenbeschriebenen Bedingungen 1 und 2 gesetzt sind, welche für die Erfassung der Synchronisation und der Nichtsynchronisation verwendet werden, um der einfachen Erläuterung willen sind jedoch diese Zeiten jeweils gleich β gesetzt. Weiterhin liegt die Anzahl der Bits der Schieberegister 30 und 31 vorzugsweise in der Größenordnung von β). Nachdem dieser Typ eines synchronisierten Zustands erfaßt worden ist, setzt die Synchronisationsbeurteilungsschaltung 63 auf der Grundlage der Bedingung 2 die Überwachung fort, ob ein nicht synchronisierter Zustand auftritt, wobei $(n - \mu - \beta$ Bits) von Daten auf der Ausgangsseite des Schieberegisters 20, die vor-

her eingegeben und als wirksam beurteilt worden sind, ausgegeben werden.

Falls die Synchronisation während des Intervalls von $(n - \mu - \beta)$ Bits aufrechterhalten wird, wird die Operation der Synchronisationsbeurteilungsschaltung 63 während der nächsten $(\mu + \beta)$ Bits angehalten. Dieses Anhalten der Operation der Synchronisationsbeurteilungsschaltung 63 ist dazu vorgesehen, eine Unterbrechung der Synchronisation zu verhindern, da die fehlerhafte Bitsequenz von $(\mu + \beta)$ Bits, die während des Intervalls Synchronisation/Nichtsynchronisation/Synchronisation eingegeben wurden, vom Schieberegister 20 nach der obenbeschriebenen $(n - \mu - \beta)$ -Bitsequenz ausgegeben wird. Die korrekten Daten werden vom Schieberegister 20 nach den obenbeschriebenen $(\mu + \beta)$ Bits ausgegeben, da jedoch zu diesem Zeitpunkt in der (a, b) -Sequenz eine Phasenverschiebung auftreten kann, erzwingt die Synchronisationsbeurteilungsschaltung 63 die Beurteilung einer Nichtsynchronisation und bestätigt anschließend die Synchronisation, wenn bestätigt wird, daß $(c, d) = (\text{wirksam}, \text{wirksam})$ ist.

Mit anderen Worten, die Synchronisation wird durch Überwachen der Übereinstimmung der Datensequenz (a, b) unter Verwendung der Bedingung 1 beurteilt, wobei die Synchronisation normalerweise durch korrekte Daten wiederhergestellt wird, woraufhin die Überwachung einer Änderung in den nicht synchronisierten Zustand unter Verwendung der Bedingung 2 fortgesetzt wird. Was das Intervall von β Bits nach der anfänglichen Herstellung der Synchronisation (mit dem Takt f_0') betrifft, so können fehlerhafte Bits im Schieberegister 31 verbleiben, das bereits einen Verzögerungsbetrag von β Bits besitzt, so daß dann, wenn die Synchronisation selbst für den Durchgang von β Bits aufrechterhalten wird, die Wähleinrichtung 33 in der Weise geschaltet wird, daß der Ausgang des Schieberegisters 31 vom Ausgangsregister 34 ausgegeben wird.

In der obenbeschriebenen Operation tritt während des Überwachungsintervalls von $(n - \mu - \beta)$ Bits nach der Herstellung der Synchronisation eine Nichtsynchronisation auf, weil die $(n - \mu - \beta)$ -Bitsequenz nicht mit korrekten Daten gefüllt ist, wobei die obenbeschriebene "Nichtsynchronisation - Synchronisation"-Operation (1) ausgeführt wird, die ähnlich der anfänglichen Operation der Empfangsvorrichtung ist. In ähnlicher Weise wird die obenbeschriebene Operation (1) ausgeführt, falls die Synchronisation zur Nichtsynchronisation wechselt und der Nichtsynchronisation-Zählerwert des obenbeschriebenen internen Zählers ohne Wiederherstellung der Synchronisation den Wert n übersteigt.

In der Wähleinrichtung 33 ist die Seite, in die der Ausgang des Schieberegisters 30 eingegeben wird, die "A-Seite", während die Seite, in die der Ausgang des Schieberegisters 31 eingegeben wird, die "B-Seite" ist, wobei Fig. 12 den Ablauf dieser von der Steuerschaltung 64 ausgeführten Schaltoperation zeigt.

Während sich die vorangehende Erläuterung auf eine Ausführungsform des Zeitdiversity-Kommunikationsverfahrens gemäß der vorliegenden Erfindung bezieht, in der ein verflochtenes Signal aus zwei digitalen Eingangssignalen gebildet ist, wovon eines verzögert und das andere nicht verzögert ist, kann die vorliegende Erfindung selbstverständlich auch auf ein verflochtenes Signal angewendet werden, das aus drei oder mehr digitalen Eingangssignalen gebildet ist. In einem solchen Fall müssen in der Empfangsvorrichtung zusätzliche Verzögerungseinrichtungen für die Entnahme und die Separierung der digitalen Eingangssignale aus einem

verflochtenen Signal, Verzögerungseinrichtungen für wirksame Gattersignale sowie Wähleinrichtungen mit entsprechender Konstruktion vorgesehen sein. Diese Wähleinrichtungen werden von Übereinstimmungsbeurteilungsschaltungen auf der Grundlage wirksamer Gattersignale umgeschaltet. Daher kann die obenbeschriebene Synchronisationsoperation durch Beurteilen der Synchronisation zwischen jedem von benachbarten Signalen mehrerer nacheinander verzögerter digitaler Eingangssignale mittels der Übereinstimmungsbeurteilungsschaltungen erzielt werden, wobei zu Zeiten einer Nichtsynchronisation der synchronisierte Zustand eines spezifischen Signals verwendet wird, das als Standard gesetzt ist, um eine Phasenkoordination auf der Grundlage einer gesetzten Prioritätsreihenfolge der Synchronisation zu erzielen.

Wie oben beschrieben, ermöglichen das erfindungsgemäß Verfahren und die erfindungsgemäß Vorrichtung für eine Zeitdiversity-Kommunikation die Verwendung der Zeitdiversity für die Überwachung und die Beurteilung der Wirksamkeit oder Unwirksamkeit decodierter Daten unter Verwendung wirksamer Gattersignale, die nicht auf der Grundlage des Zustands des empfangenen Pegels, sondern auf der Grundlage der Größe der Fehlerrate oder des Status eines Fehlerkorrekturprozesses für empfangene decodierte Daten erzeugt werden, so daß im Ergebnis Daten, die stets frei von Codierungsfehlern sind, ausgewählt und ausgegeben werden können und eine Zeitdiversity-Kommunikation mit hoher Zuverlässigkeit verwirklicht werden kann. Ferner werden erfindungsgemäß ein Verfahren und eine Vorrichtung für eine Zeitdiversity-Kommunikation geschaffen, die eine schnelle Rückkehr in einen synchronisierten Zustand ermöglichen, wenn Daten wirksam sind, und die eine fortwährende Überwachung einer Abweichung von der Synchronisation selbst während eines synchronisierten Zustandes zulassen.

Die vorliegende Erfindung schafft ferner ein Verfahren und eine Vorrichtung für eine Zeitdiversity-Kommunikation, die Fehler bei der Takt synchronisation und das Auftreten von Bitverzögerungen, die aufgrund von kurzen Unterbrechungen oder von Störimpulsen in den Funkwellen entstehen, die durch einen Funkschatteneffekt oder durch andere Ursachen hervorgerufen werden, absorbieren kann, indem ein Puffer, eine erste Verzögerungseinrichtung (Schieberegister 20) für die Beseitigung einer Zeitverschiebung zwischen verzögerten und damit verschachtelten nicht verzögerten Datensequenzen beseitigt, sowie eine dritte und eine vierte Verzögerungsvorrichtung (Schieberegister 30, 31) auf der Ausgangsseite vorgesehen sind; die das Auftreten von Verlusten in den decodierten Daten selbst bei Auftreten von Störimpulsen in den decodierten Daten oder bei Datenabweichungen reduzieren können; und die darüber hinaus die Erzeugung falscher Daten beim Schalten zu korrekten Daten verhindern können.

Obwohl die Merkmale und Vorteile der vorliegenden Erfindung in der vorangehenden Beschreibung angegeben worden sind, hat die Offenbarung selbstverständlich lediglich erläuternden Charakter, wobei in der Anordnung der Teile innerhalb des Umfangs der beigefügten Ansprüche Änderungen vorgenommen werden können.

Patentansprüche

1. Vorrichtung für Zeitdiversity-Kommunikation, dadurch gekennzeichnet, daß es auf der Sendeseite die folgenden Schritte enthält:

5

10

15

20

25

30

35

40

45

50

55

65

Erzeugen eines verflochtenen Signals durch Verflechten eines nicht verzögerten Signals, das ein zu einem momentanen Zeitpunkt eingegebenes Signal ist, mit einem verzögerten Signal, das ein Signal ist, das n Bits vor dem nicht verzögerten Signal eingegeben worden ist und um n Bits verzögert ist, Codieren des verflochtenen Signals durch Unterteilen des verflochtenen Signals nach jeweils m Bits (wobei $m < n$) und durch Addieren von k Redundanzbits zu jedem Block aus m Bits, Ausführen eines Verschachtelungsprozesses für jeden Block aus $(m + k) \cdot j$ Bits der codierten Signalsequenz und Addieren eines eindeutigen Worts, und

Modulieren und Verstärken der verschachtelten Signalsequenz, die der Verschachtelung und der Addition eindeutiger Wörter unterworfen worden ist, und anschließend Senden der modulierten und verstärkten verschachtelten Signalfolge als Sendesignal mit einer höheren Bitrate als diejenige des Eingangssignals, und daß es auf der Empfängerseite die folgenden Schritte enthält:

Demodulieren eines empfangenen Signals und Speichern des demodulierten empfangenen Signals in einem Puffer (16) mit einem Wiedergewinnungstakt ($k_2 f_0$),

Auslesen der im Puffer (16) gespeicherten Daten mit einem vorgeschriebenen Takt ($k_2 f_0'$), Ausführen einer Entschachtelung und Erzeugen einer Signalsequenz aus ununterbrochenen Blöcken aus $(m + k) \cdot j$ Bits,

Überwachen der Phase der eindeutigen Wörter in einer Datensequenz beim Auslesen der gespeicherten Daten aus dem Puffer (16) und Korrigieren der ausgelesenen Adressen vom Puffer (16) bei Erfassung einer Phasenverschiebung der eindeutigen Wörter,

Decodieren der Signalsequenz, die entschachtelt worden ist, unter Verwendung der Redundanzbits, um die Wirksamkeit bei jeweils m Bits des verflochtenen Signals, zu dem die Redundanzbits hinzugefügt sind, zu beurteilen, und Ausgeben effektiver Gattersignale, die in Übereinstimmung mit dieser Beurteilung entweder die Wirksamkeit oder die Unwirksamkeit angeben, und eines decodierten verflochtenen Signals, aus dem die Redundanzbits entfernt worden sind,

Separieren des nicht verzögerten Signals und des verzögerten Signals aus dem decodierten verflochtenen Signal und gleichzeitig dazu Separieren des wirksamen Gattersignals, das sowohl dem nicht verzögerten Signal als auch dem verzögerten Signal entspricht,

Verzögern sowohl des separierten nicht verzögerten Signals als auch des wirksamen Gattersignals, das dem nicht verzögerten Signal entspricht, um n Bits, und

unter der Voraussetzung, daß das nicht verzögerte Signal, das um n Bits verzögert worden ist, ein Signal (a) ist, das verzögerte Signal, das separiert worden ist, ein Signal (b) ist, das wirksame Gattersignal, das um n Bits verzögert worden ist, ein Signal (c) ist, und das wirksame Gattersignal, das dem Signal (b) entspricht, ein Signal (d) ist, und daß darüber hinaus ein Zustand, in dem ein Signal (a) und ein Signal (b) ohne Unterbrechung übereinstimmen, als synchronisierter Zustand angesehen wird,

Überwachen der Wirksamkeit oder der Unwirksamkeit des Signals (a) und des Signals (b) auf der Grundlage der Zustände des Signals (c) bzw. des Signals (d) und Beurteilen, ob das Signal (b) mit dem Signal (a) in einem synchronisierten Zustand ist, wobei beide Signale als wirksam bestimmt werden, und Auswählen eines Ausgangssignals. 5

2. Verfahren für Zeitdiversity-Kommunikation nach Anspruch 1, dadurch gekennzeichnet, daß der Schritt des Korrigierens der Phasendifferenz einer aus dem Puffer (16) ausgelesenen Datensequenz auf der Empfängerseite durch Erkennen der Herstellung einer Synchronisation auf eindeutige Wörter, wenn Muster eindeutiger Wörter innerhalb einer Datensequenz ohne Unterbrechung in der Anzahl r in jedem Zyklus (wobei $r \geq 2$) erfaßt worden sind, durch fortwährendes Überwachen der Phase für eindeutige Wörter nach der Herstellung der Synchronisation sowie nach der Erfassung der Disparität in der Phase für eindeutige Wörter durch 15 Korrigieren der ausgelesenen Adressen vom Puffer (16), die der Phasendifferenz entsprechen, erfolgt.

3. Verfahren für Zeitdiversity-Kommunikation nach Anspruch 1, dadurch gekennzeichnet, daß die Beurteilung eines synchronisierten Zustands zwischen dem Signal (a) und dem Signal (b) durch Zählen der Anzahl von Übereinstimmungen zwischen den beiden Signalen sowie durch Beurteilen, daß die beiden Signale sich in einem synchronisierten Zustand befinden, wenn der Wert für die Anzahl 25 von Übereinstimmungen wenigstens gleich einem vorgeschriebenen Wert ist, erfolgt.

4. Verfahren für Zeitdiversity-Kommunikation nach Anspruch 3, dadurch gekennzeichnet, daß der vorgeschriebene Wert bei Erfassung eines Wechsels von einem nicht synchronisierten Zustand zu einem synchronisierten Zustand höher ist als bei Erfassung eines Wechsels von einem synchronisierten Zustand zu einem nicht synchronisierten Zustand. 35

5. Verfahren für Zeitdiversity-Kommunikation nach Anspruch 1, dadurch gekennzeichnet, daß die Auswahl eines Ausgangssignals auf der Empfängerseite die folgenden Operationen enthält:

(1) wenn die Empfangsvorrichtung aktiviert 45 wird oder bei einem anfänglichen Übergang von einem nicht synchronisierten Zustand zu einem synchronisierten Zustand, etwa nach einem langanhaltenden Funkschatteneffekt:

zunächst Ausführung einer Einstellung für die 50 Ausgabe des Signals (b) und Nichtausführung einer Beurteilung der Synchronisation, bis die Signale (c, d) (wirksam, wirksam) werden,

Beginnen der Beurteilung der Synchronisation, wenn die Signale (c, d) (wirksam, wirksam) 55 werden, Ausgeben des Signals (b) und fortwährendes Überwachen, ob ein nicht synchronisierte Zustand auftritt, sobald die Synchronisation der Signale (a, b) hergestellt ist;

(2) wenn das Signal (b) in einem synchronisierten Zustand ausgegeben wird: 60

wenn die Signale (c, d) (wirksam, unwirksam) werden, Umschalten vom Signal (b) zum Signal (a), bis ein vorgeschriebenes Intervall aus β_1 Bits verstrichen ist, und erneutes Auswählen 65 des Signals (b), wenn das Signal (d) zu (wirksam) zurückkehrt,

wenn das Signal (c) (unwirksam) wird, Anhal-

ten der Beurteilung der Synchronisation unabhängig davon, ob das Signal (d) wirksam oder unwirksam ist, und Ausführen der Operation (1), nachdem die Signale (c, d) zu (wirksam, wirksam) zurückkehren,

(3) wenn ein Verlust von Daten bei der Ausgabe des Signals (b) in einem synchronisierten Zustand auftritt und wenn nach Verstreichen eines vorgeschriebenen Intervalls aus β_1 Bits ein nicht synchronisierte Zustand festgestellt worden ist:

gleichzeitig Schalten vom Signal (b) zum Signal (a), Zählen der Anzahl von Bits des Signals (a) und Anhalten der Beurteilung der Synchronisation, bis die Signale (c, d) (wirksam, wirksam) werden,

Beginnen der Beurteilung der Synchronisation, wenn die Signale (c, d) (wirksam, wirksam) werden, und, falls ein synchronisierte Zustand beurteilt wird, wenn der Zählerwert das μ -te Bit (wobei $n > \mu$) erreicht, Ausgeben von $(n - \mu - \beta_1)$ Bits des Signals (a), die vorher eingegeben wurden und für ein demoduliertes empfangenes Signal als wirksam beurteilt wurden, während der synchronisierte Zustand des Signals (a) überwacht wird,

dann, wenn ein synchronisierte Zustand während des Intervalls der Ausgabe von $(n - \mu - \beta_1)$ Bits aufrechterhalten wird, Anhalten der Beurteilung der Synchronisation für das folgende Intervall aus $(\mu + \beta_1)$ Bits, um so eine Unterbrechung der Synchronisation zu verhindern,

nach $(\mu + \beta_1)$ Bits Erzwingen eines nicht synchronisierten Zustands und Herstellen der Synchronisation bei erneuter Erkennung, daß die Signale (c, d) (wirksam, wirksam) sind, nach der anfänglichen Herstellung der Synchronisation Auswählen des Signals (b), falls die Synchronisation nach Verstreichen eines Intervalls aus β_2 Bits noch vorhanden ist, und Ausführen des obigen Schrittes (1), falls ein nicht synchronisierte Zustand während des Intervalls der Überwachung von $(n - \mu - \beta_1)$ Bits des Signals (a) in den obenbeschriebenen Operationen beurteilt wird und wenn die Synchronisation selbst dann, wenn der Zählerwert μ den Wert n übersteigt, nicht wiederhergestellt wird.

6. Verfahren für Zeitdiversity-Kommunikation nach Anspruch 5, dadurch gekennzeichnet, daß die Zählerwerte β_1 und β_2 den Zeiten entsprechen, die für die Erfassung eines nicht synchronisierten Zustands bzw. für die Erfassung eines synchronisierten Zustands erforderlich sind.

7. Verfahren für Zeitdiversity-Kommunikation nach Anspruch 6, dadurch gekennzeichnet, daß die Zählerwerte β_1 und β_2 gleich sind.

8. Vorrichtung für Zeitdiversity-Kommunikation, gekennzeichnet durch einen Codierer (41), der ein verflochtenes Signal erzeugt, indem er ein nicht verzögertes Signal, das ein zu einem momentanen Zeitpunkt eingegebenes Signal ist, mit einem verzögerten Signal, das ein Signal ist, das n Bits vor dem nicht verzögerten Signal eingegeben worden ist und um m Bits verzögert ist, verflochten, einen Sendekanalcodierer (11), der das verflochte-

ne Signal durch Unterteilen des verflochtenen Signals nach jeweils m Bits (wobei $m < n$) unterteilt und k Redundanzbits zu jedem Block aus m Bits hinzufügt, 5
 einen Verschachtler (26), der für jeden Block aus $(m + k) \cdot j$ Bits einer codierten Signalsequenz einen Verschachtelungsprozeß ausführt und ein eindeutiges Wort hinzufügt, und
 eine Sendeeinrichtung (12, 43, 44), die die von dem Verschachtler (26) ausgegebene verschachtelte Signalsequenz moduliert und verstärkt und dann die Signalsequenz als Sendesignal sendet, 10
 eine Empfängereinrichtung (45, 13, 14), die ein Empfangssignal empfängt, verstärkt und demoduliert und ein demoduliertes empfangenes Signal erzeugt, 15
 einen Puffer (16) zum Speichern eines demodulierten empfangenen Signals in Übereinstimmung mit einem Wiedergewinnungstakt ($k_2 f_0$),
 eine Leseeinrichtung zum Auslesen von im Puffer (16) gespeicherten Signalen in Übereinstimmung mit einem externen Takt ($k_2 f_0$), 20
 eine Phasensteuereinrichtung (112), die eindeutige Wörter in einer aus dem Puffer (16) ausgelesenen Datensequenz erfaßt und ausgelesene Adressen von Daten aus dem Puffer (16) in der Weise steuert, daß die Phase eindeutiger Wörter gleichmäßig gehalten wird, 25
 einen Entschachtler (17), der die Entschachtelung der aus dem Puffer (16) ausgelesenen Datensequenzen ausführt und eine Signalsequenz in kontinuierlichen Blöcken aus $(m + k) \cdot j$ Bits ausgibt, 30
 einen Übertragungskanaldecoder (15), der Redundanzbits verwendet, um die Wirksamkeit sämtlicher m Bits des verflochtenen Signals einer vom Entschachtler (17) ausgegebenen Signalsequenz, zu dem die Redundanzbits hinzugefügt worden sind, zu beurteilen, und der wirksame Gattersignale, die in Übereinstimmung mit dieser Beurteilung die Wirksamkeit oder die Unwirksamkeit angeben, sowie ein decodiertes verflochtenes Signal, aus dem die Redundanzbits entfernt worden sind, parallel ausgibt, 35
 einen ersten Seriell/Parallel-Umsetzer (24), der das nicht verzögerte Signal und das verzögerte Signal aus dem decodierten verflochtenen Signal separiert, 40
 einen zweiten Seriell/Parallel-Umsetzer (25), der synchron mit dem ersten Seriell/Parallel-Umsetzer (24) die wirksamen Gattersignale, die den nicht verzögerten Signalen bzw. den verzögerten Signalen entsprechen, separiert, 45
 eine erste Verzögerungseinrichtung (20), die das vom ersten Seriell/Parallel-Umsetzer (24) separierte nicht verzögerte Signal um n Bits verzögert, 50
 eine zweite Verzögerungseinrichtung (21), die die wirksamen Gattersignale, die den vom zweiten Seriell/Parallel-Umsetzer (25) separierten nicht verzögerten Signalen entsprechen, um n Bits verzögert, 55
 eine dritte Verzögerungseinrichtung (30), die dem nicht verzögerten Signal (a), das von der ersten Verzögerungseinrichtung (20) ausgegeben wird, eine Verzögerung um eine vorgeschriebene Anzahl von Bits verleiht, und
 eine vierte Verzögerungseinrichtung (31), die dem verzögerten Signal (b), das vom ersten Seriell/Parallel-Umsetzer (24) separiert wird, eine Verzöge- 60
 65

itung um eine vorgeschriebene Anzahl von Bits verleiht, eine Wähleinrichtung (33), die eines der Ausgangssignale (a) und (b), die von der dritten Verzögerungseinrichtung (30) bzw. von der vierten Verzögerungseinrichtung (31) ausgegeben werden, auswählt und das ausgewählte Signal als demoduliertes Signal ausgibt, eine Übereinstimmungsbeurteilungsschaltung (28), in die das nicht verzögerte Signal (a) und das verzögerte Signal (b) von der ersten Verzögerungseinrichtung (20) bzw. vom ersten Seriell/Parallel-Umsetzer eingegeben werden, in die ferner das wirksame Gattersignal (c), das dem nicht verzögerten Signal (a) entspricht, und das wirksame Gattersignal (d), das dem verzögerten Signal (b) entspricht, von der zweiten Verzögerungseinrichtung (21) bzw. vom zweiten Seriell/Parallel-Umsetzer (25) eingegeben werden, die auf der Grundlage der Zustände der Signale (c, d) überwacht, ob die Signale (a, b) wirksam oder unwirksam sind, die erfaßt, ob das Signal (b) mit dem Signal (a) übereinstimmt, wobei beide Signale als wirksam bestimmt werden, die die Synchronisation oder die Nichtsynchronisation zwischen den Signalen (a, b) auf der Grundlage der Tatsache beurteilt, ob eine gezählte Anzahl von ununterbrochenen Übereinstimmungen eine vorgeschriebene Anzahl übersteigt oder nicht erreicht, und die an die Wähleinrichtung (33) auf der Grundlage der Beurteilungsergebnisse Auswahlbefehle ausgibt.

9. Vorrichtung für Zeitdiversity-Kommunikation nach Anspruch 8, dadurch gekennzeichnet, daß die vorgeschriebene Anzahl bei Erfassung von Änderungen von einem nicht synchronisierten Zustand zu einem synchronisierten Zustand höher ist als die vorgeschriebene Anzahl bei Erfassung von Änderungen von einem synchronisierten Zustand zu einem nicht synchronisierten Zustand.

Hierzu 10 Seite(n) Zeichnungen

Fig. 1

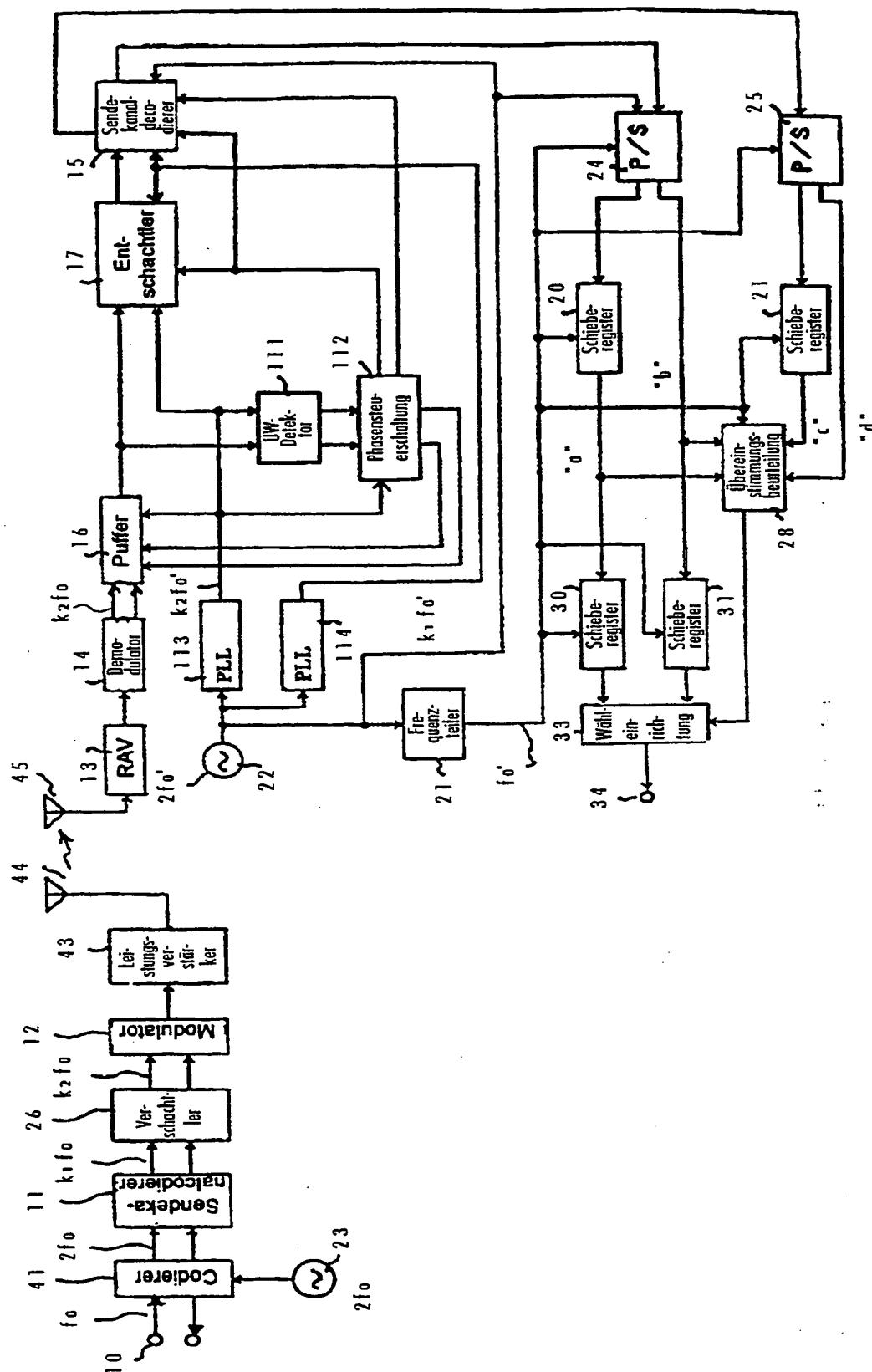


Fig. 2

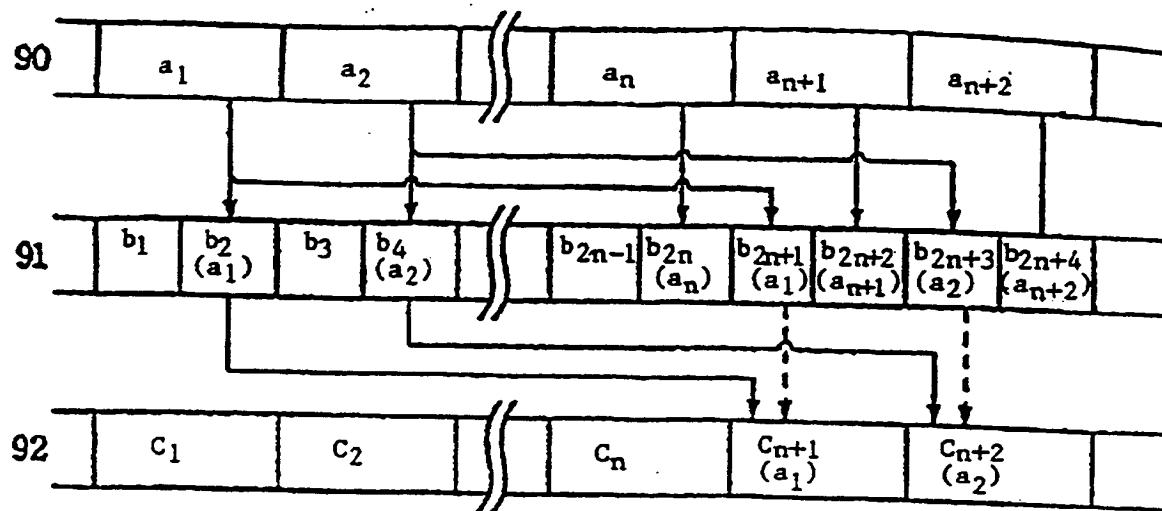


Fig. 3

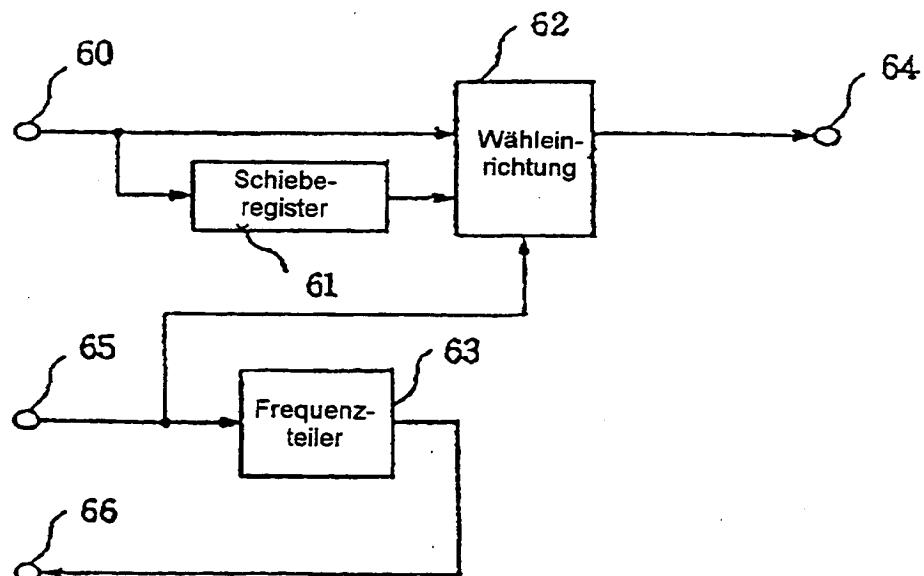


Fig. 4

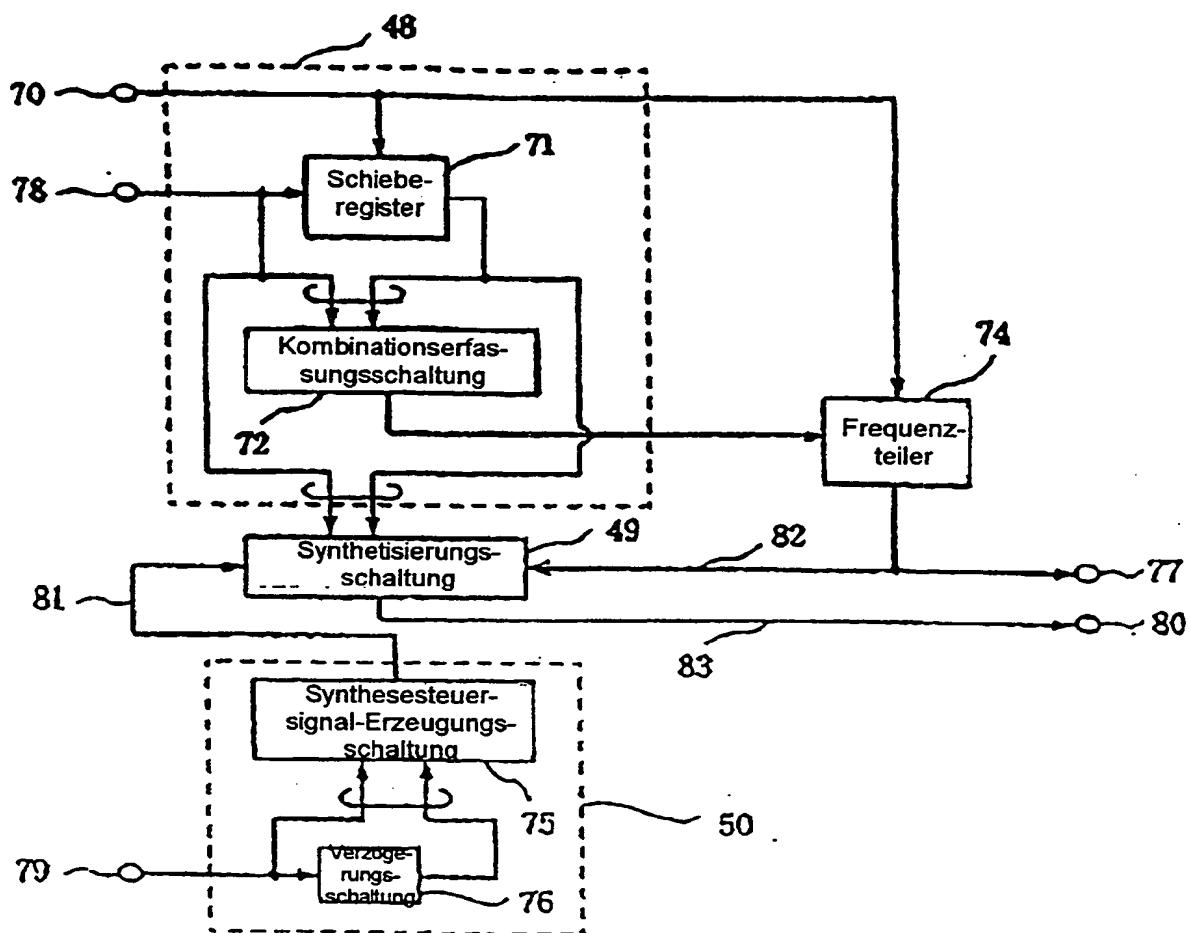


Fig. 5

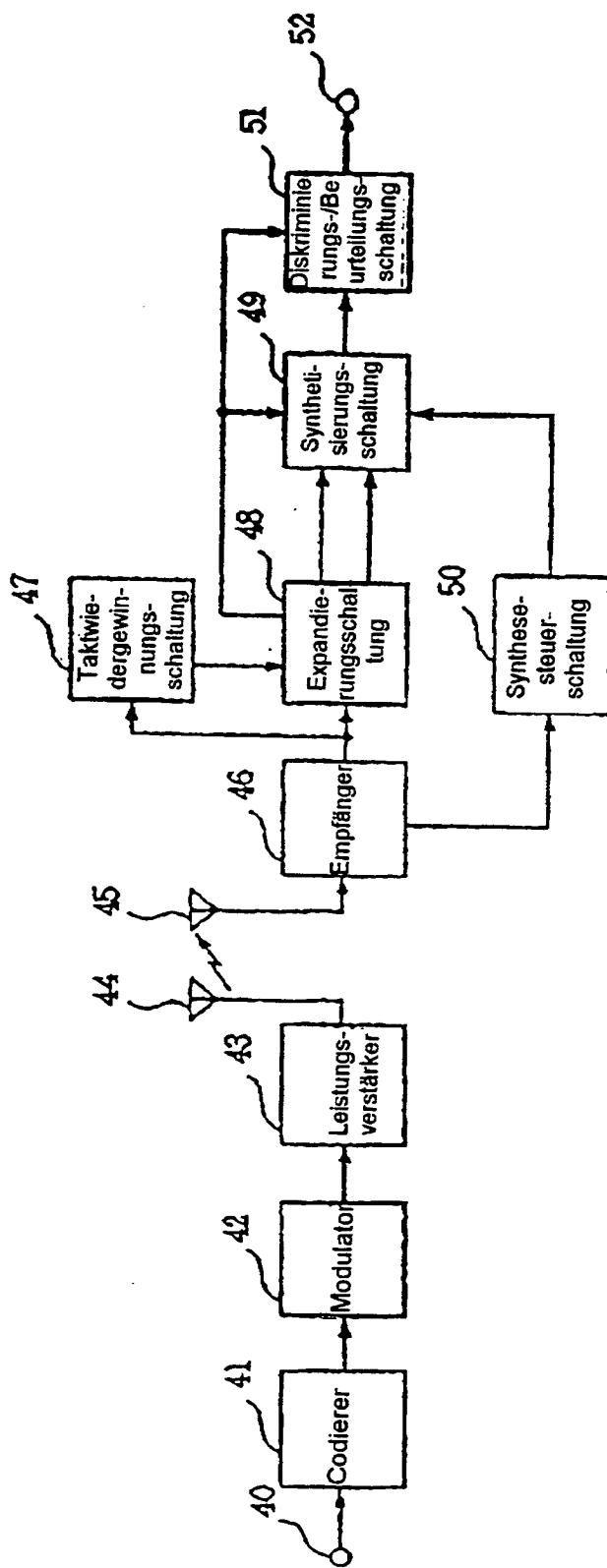
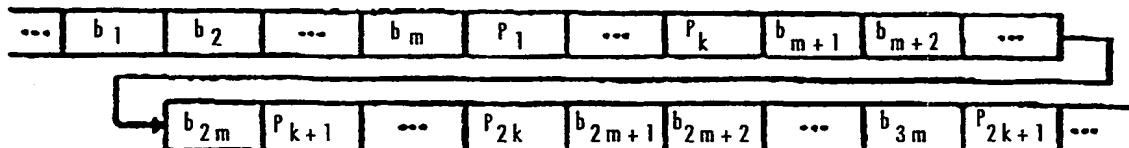


Fig. 6

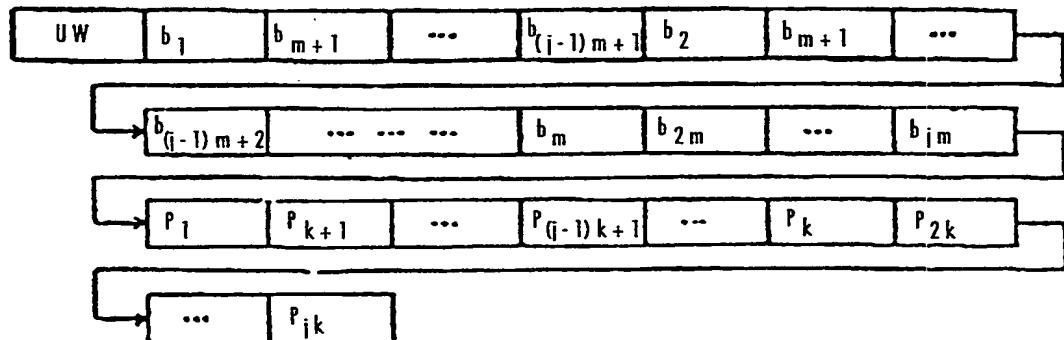
< a >



< b >

b1	b2	...	bm	p1	...	pk
bm+1	bm+2	...	b2m	pk+1	...	p2k
⋮	⋮	⋮	⋮	⋮	⋮	⋮
b(j-1)m+1	b(j-1)m+2	...	bjm	p(j-1)k+1	...	pjk

< c >



< d >

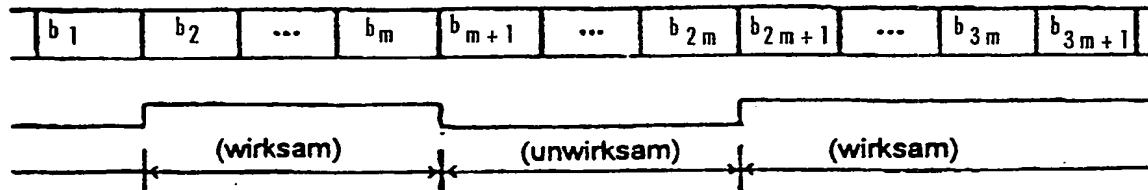


Fig. 7

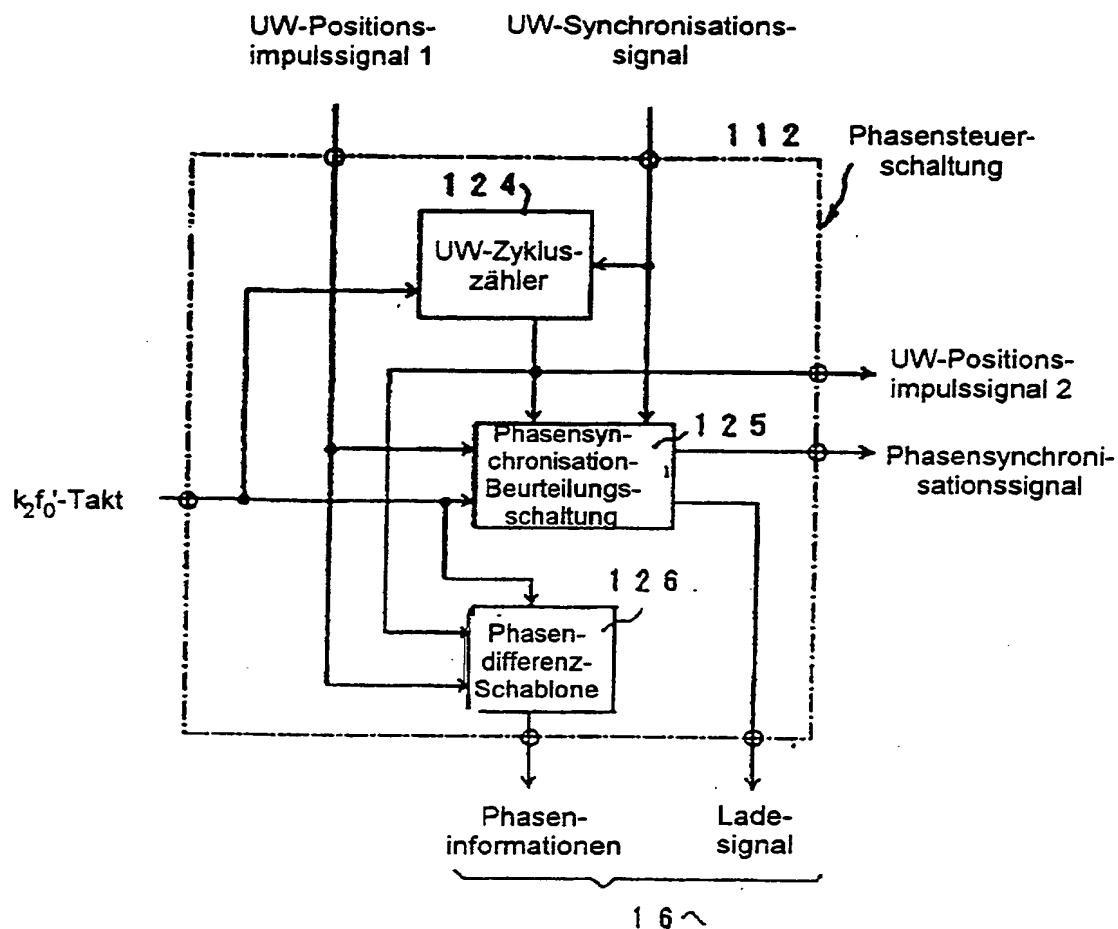


Fig. 8

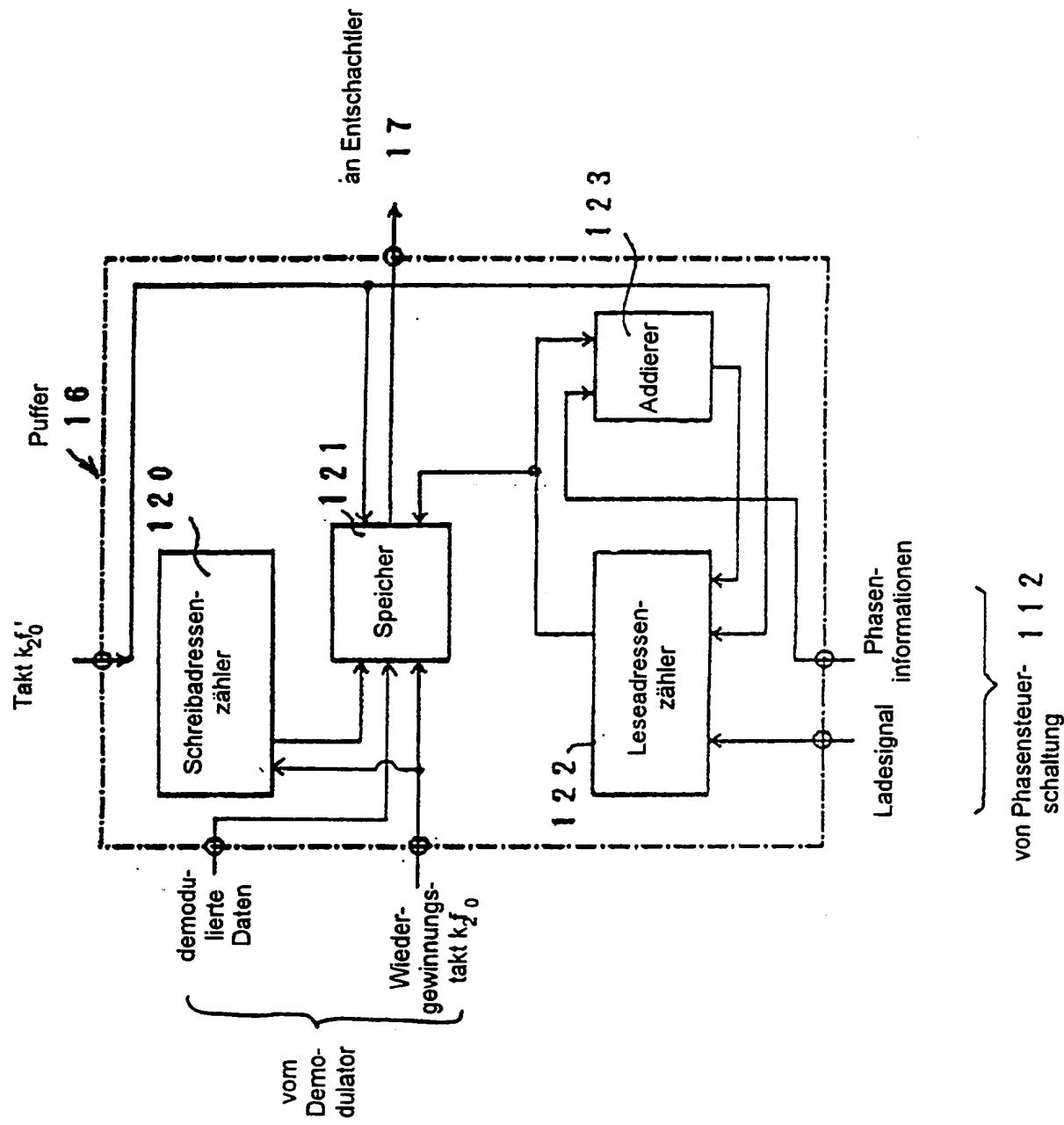


Fig. 9

2 8 Übereinstimmungsbeurteilungsschaltung

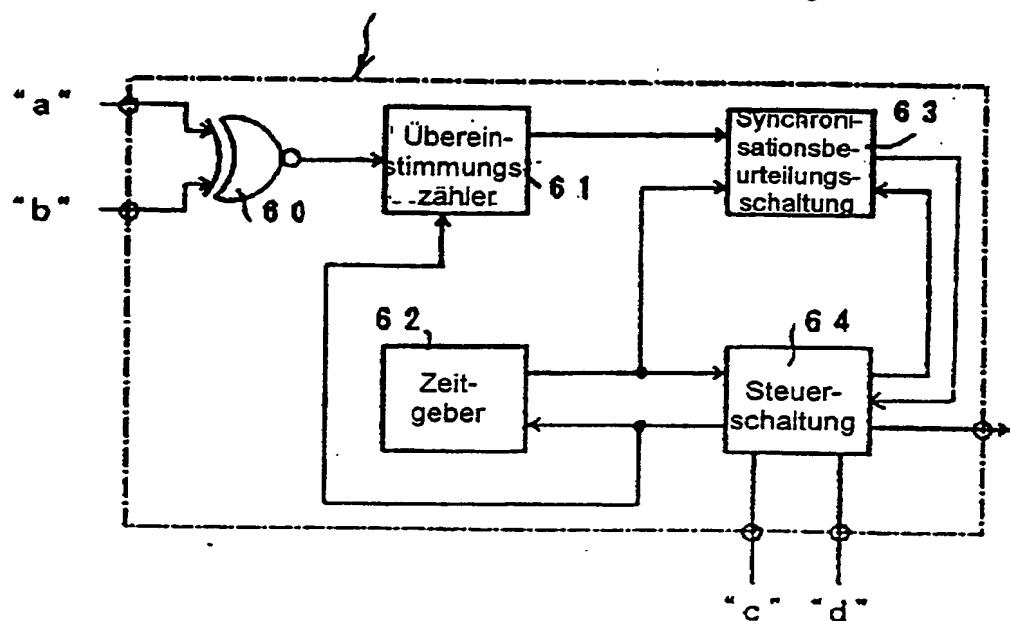


Fig. 10

(a)

UW-Positions-
impulssignal 2Phasen-
differenz 1

(b)

UW-Positions-
impulssignal 2UW-Positions-
impulssignal 1

Fig. 11

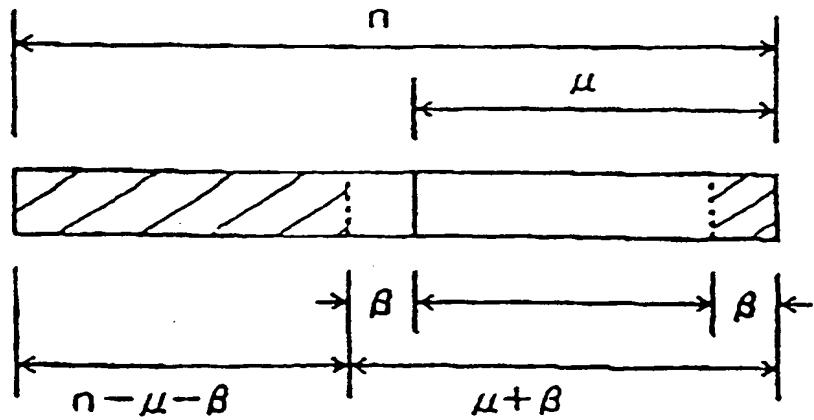


Fig. 12

